

Searching PAJ

第1頁・共2頁

Cite No. 2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-338614

(43)Date of publication of application : 06.12.1994

(51)Int.Cl.

H01L 29/784
H01L 21/76

(21)Application number : 05-148327

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 28.05.1993

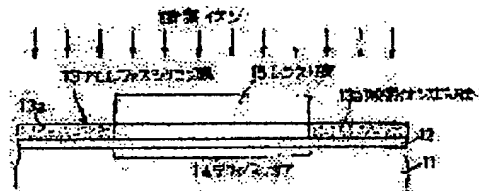
(72)Inventor : SATO TOSHIHIKO

(54) THIN-FILM TRANSISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To avoid the formation of stepped part on a gate insulating film by a method wherein the gate insulating film is to be provided on the surface of a polysilicon film formed on a device area and a silicon oxide film formed on non-device area.

CONSTITUTION: An amorphous silicon film 13 is deposited on the surface of an underneath layer 12 to be implanted with oxygen ions using a resist film 15 as a mask so as to assume the amorphous silicon film 13 on the parts excluding the device area 14 as oxygen ion implanted film 13a. Next, the whole surface after releasing the resist film 15 is laser-annealed to crystallize the amorphous silicon film 13 on the part corresponding to the device area 14 to be turned into a polysilicon film. Besides, the oxygen ion implanted film 13a is oxidized to be turned into silicon oxide film whereon a gate insulating film is to be provided. Through these procedures, the formation of stepped part on the gate insulating film can be avoided thereby enabling the inconvenience due to the stepped part to be eliminated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-338614

(43) 公開日 平成6年(1994)12月6日

(51) Int.Cl. ⁷	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784 21/76		R 9169-4M 9056-4M	H 0 1 L 29/ 78	3 1 1 R

審査請求 未請求 請求項の数2 F D (全 5 頁)

(21) 出願番号 特願平5-148327
(22) 出願日 平成5年(1993)5月28日

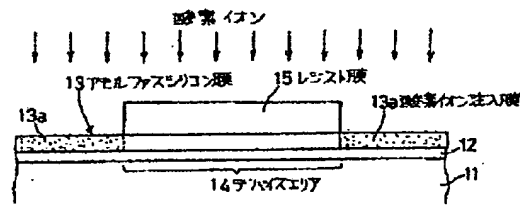
(71) 出願人 000001443
カシオ計算機株式会社
東京都新宿区西新宿2丁目6番1号
(72) 発明者 佐藤 俊彦
東京都八王子市石川町2851番地の5 カシ
オ計算機株式会社八王子研究所内
(74) 代理人 弁理士 杉村 次郎

(54) 【発明の名称】 薄膜トランジスタおよびその製造方法

(57) 【要約】

【目的】 ゲート絶縁膜に段差部が生じないようにする。

【構成】 下地層12の上にアモルファスシリコン膜13を堆積し、レジスト膜15をマスクとして酸素イオンを注入し、デバイスエリア14以外のアモルファスシリコン膜13を酸素イオン注入膜13aとする。次に、レジスト膜15を剥離した後、レーザアニールすると、デバイスエリア14に対応する部分のアモルファスシリコン膜13が結晶化してポリシリコン膜となり、また酸素イオン注入膜13aが酸化して酸化シリコン膜となる。この場合、ポリシリコン膜の膜厚とその周囲の酸化シリコン膜の膜厚とが同じであるので、これらの上面にゲート絶縁膜を設けると、ゲート絶縁膜に段差部が生じないようにすることができる。



(2)

特開平6-338614

1

【特許請求の範囲】

【請求項1】 デバイスエリアに設けられたポリシリコン膜と、膜厚が前記ポリシリコン膜の膜厚と同じであって前記デバイスエリアの周囲の非デバイスエリアに設けられた酸化シリコン膜と、前記ポリシリコン膜および前記酸化シリコン膜の上面に設けられたゲート絶縁膜とを具備することを特徴とする薄膜トランジスタ。

【請求項2】 デバイスエリアおよびその周囲の非デバイスエリアにアモルファスシリコン膜を堆積し、前記非デバイスエリアに対応する部分の前記アモルファスシリコン膜に酸素イオンを注入して酸素イオン注入膜とし、アニールすることにより、前記デバイスエリアに対応する部分の前記アモルファスシリコン膜を結晶化させてポリシリコン膜とするとともに、前記酸素イオン注入膜を酸化させて酸化シリコン膜とし、前記ポリシリコン膜および前記酸化シリコン膜の上面にゲート絶縁膜を形成することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は薄膜トランジスタおよびその製造方法に関する。

【0002】

【従来の技術】 図9は従来の薄膜トランジスタの一例を示したものである。この薄膜トランジスタは、ガラス等からなる絶縁基板1の上面に設けられた下地層2の上面のデバイスエリアにパターン形成されたポリシリコン膜3を備えている。この薄膜トランジスタはLDD構造となっているので、ポリシリコン膜3の中央部はチャンネル領域3aとされ、その両側は低濃度不純物領域からなる電界緩和領域3bとされ、さらにその両側は高濃度不純物領域からなるソース・ドレイン領域3cとされている。ポリシリコン膜3を含む下地層2の全上面にはゲート絶縁膜4が形成され、チャンネル領域3aに対応する部分のゲート絶縁膜4の上面にはゲート電極5がパターン形成されている。ゲート電極5を含むゲート絶縁膜4の全上面には層間絶縁膜6が形成されている。ソース・ドレイン領域3cに対応する部分における層間絶縁膜6およびゲート絶縁膜4にはコンタクトホール7が形成され、コンタクトホール7を通してソース・ドレイン領域3cと接続されるソース・ドレイン電極8が層間絶縁膜6の上面にパターン形成されている。

【0003】

【発明が解決しようとする課題】 ところで、従来のこのような薄膜トランジスタでは、パターン形成されたポリシリコン膜3を含む下地層2の全上面にゲート絶縁膜4を形成しているため、ポリシリコン膜3の周囲の段差部3dの部分におけるゲート絶縁膜4にも段差部4aが生じることになる。この場合、ポリシリコン膜3の段差部3dが比較的高いので、ゲート絶縁膜4の段差部4aの部分の膜厚が他の部分と比べて薄くなり、極端な場合に

2

はポリシリコン膜3の段差部3dの上縁部の一部がゲート絶縁膜4によって覆われずに露出することがある。この結果、ゲート絶縁膜4の耐圧が低下することにより、リーク電流が増加し、またトランジスタ特性が劣化するという問題があった。また、使用に際して、ゲート絶縁膜4が早期に劣化し、寿命が短いという問題があった。この発明の目的は、ゲート絶縁膜に段差部が生じないようにすることのできる薄膜トランジスタおよびその製造方法を提供することにある。

10 【0004】

【課題を解決するための手段】 請求項1記載の発明は、デバイスエリアに設けられたポリシリコン膜と、膜厚が前記ポリシリコン膜の膜厚と同じであって前記デバイスエリアの周囲の非デバイスエリアに設けられた酸化シリコン膜と、前記ポリシリコン膜および前記酸化シリコン膜の上面に設けられたゲート絶縁膜とを具備したものである。請求項2記載の発明は、デバイスエリアおよびその周囲の非デバイスエリアにアモルファスシリコン膜を堆積し、前記非デバイスエリアに対応する部分の前記アモルファスシリコン膜に酸素イオンを注入して酸素イオン注入膜とし、アニールすることにより、前記デバイスエリアに対応する部分の前記アモルファスシリコン膜を結晶化させてポリシリコン膜とするとともに、前記酸素イオン注入膜を酸化させて酸化シリコン膜とし、前記ポリシリコン膜および前記酸化シリコン膜の上面にゲート絶縁膜を形成するようにしたものである。

【0005】

【作用】 この発明によれば、ポリシリコン膜の膜厚とその周囲の酸化シリコン膜の膜厚とが同じであって、これらの上面にゲート絶縁膜を設けることになるので、ゲート絶縁膜に段差部が生じないようにすることができる。

【0006】

【実施例】 図1～図7はそれぞれこの発明の一実施例におけるLDD構造の薄膜トランジスタの各製造工程を示したものである。そこで、これらの図を順に参照しながら、この実施例におけるLDD構造の薄膜トランジスタの構造についてその製造方法と併せ説明する。

【0007】 まず、図1に示すように、ガラス等からなる絶縁基板11の上面に酸化シリコンや窒化シリコン等からなる下地層12を堆積し、次いで下地層12の上面にアモルファスシリコン膜13を堆積する。

【0008】 次に、図2に示すように、デバイスエリア14に対応する部分のアモルファスシリコン膜13の上面にレジスト膜15をパターン形成する。次に、レジスト膜15をマスクとしてイオン注入装置により酸素イオンを注入し、レジスト膜15下以外のつまりデバイスエリア14以外のアモルファスシリコン膜13を酸素イオン注入膜13aとする。この後、レジスト膜15を剥離する。

50 【0009】 次に、図3に示すように、レーザアニール

(3)

特開平6-338614

3

することにより、デバイスエリア14に対応する部分のアモルファスシリコン膜13を結晶化させてポリシリコン膜16とするとともに、酸素イオン注入膜13aを酸化させて酸化シリコン膜17とする。

【0010】次に、図4に示すように、ポリシリコン膜16の中央部(チャネル領域16a)の上面および酸化シリコン膜17の上面にレジスト膜18をパターン形成する。次に、レジスト膜18をマスクとしてイオン注入装置により不純物を低濃度で注入し、ポリシリコン膜16の符号16bおよび16cで示す領域を低濃度不純物領域とする。この後、レジスト膜18を剥離する。

【0011】次に、図5に示すように、ポリシリコン膜16の符号16aおよび16bで示す領域の上面および酸化シリコン膜17の上面にレジスト膜19をパターン形成する。次に、レジスト膜19をマスクとしてイオン注入装置により不純物を高濃度で注入し、ポリシリコン膜16の符号16cで示す領域を高濃度不純物領域とする。すると、ポリシリコン膜16の中央部はチャネル領域16aとされ、その両側は低濃度不純物領域からなる電界緩和領域16bとされ、さらにその両側は高濃度不純物領域からなるソース・ドレイン領域16cとされる。この後、レジスト膜19を剥離する。

【0012】次に、図6に示すように、ポリシリコン膜16および酸化シリコン膜17の全上面に酸化シリコン等からなるゲート絶縁膜20を堆積し、次いでチャネル領域16aに対応する部分のゲート絶縁膜20の上面にクロム等からなるゲート電極21をパターン形成する。

【0013】次に、図7に示すように、全上面に層間絶縁膜22を堆積し、次いでソース・ドレイン領域16cに対応する部分の層間絶縁膜22およびゲート絶縁膜20にコンタクトホール23を形成し、次いでコンタクトホール23を通してソース・ドレイン領域16cと接続されるアルミニウム等からなるソース・ドレイン電極24を層間絶縁膜22の上面にパターン形成する。かくして、LDD構造の薄膜トランジスタが製造される。

【0014】このようにして製造された薄膜トランジスタでは、特に図6に示すように、ポリシリコン膜16の膜厚とその周囲の酸化シリコン膜17の膜厚とが同じであって、これらの上面にゲート絶縁膜20を設けているので、ゲート絶縁膜20に段差部が生じないようにすることができる。すなわち、ゲート絶縁膜20が平坦な構造となるので、ゲート絶縁膜20の膜厚を十分な厚さであって全体にわたって一様とすることができる。したがって、ゲート絶縁膜20の耐圧が低下することがなく、リーク電流が低減し、トランジスタ特性への影響もかなり低減することができ、ひいては歩留の向上を図ることができる。また、使用に際して、ゲート絶縁膜20が早期に劣化しないようにすることができ、したがって寿命を延ばすことができる。

【0015】次に、この発明の他の実施例における薄膜

4

トランジスタの製造について、図8を参照しながら説明する。まず、図8(A)に示すように、絶縁基板31の上面に下地層32を堆積し、次いで下地層32の上面にアモルファスシリコン膜33を堆積し、次いでデバイスエリア34に対応する部分のアモルファスシリコン膜33の上面にレジスト膜35をパターン形成する。次に、レジスト膜35をマスクとしてエッチングすることにより、図8(B)に示すように、デバイスエリア34に対応する部分のみにアモルファスシリコン膜33をパターン形成する。この後、レジスト膜35を剥離する。次に、図8(C)に示すように、レーザアニールすることにより、アモルファスシリコン膜33を結晶化させてポリシリコン膜36とする。次に、図8(D)に示すように、アモルファスシリコン膜33を含む下地層32の全上面に酸化シリコン膜37を堆積する。次に、酸化シリコン膜37をアモルファスシリコン膜33の表面が露出するまでエッチバックすると、図8(E)に示すように、アモルファスシリコン膜33の周囲にこの膜と同じ膜厚の酸化シリコン膜37が形成される。以下、図4〜図7に示す場合と同様の工程を経ると、この実施例の薄膜トランジスタが製造される。

【0016】

【発明の効果】以上説明したように、この発明によれば、ポリシリコン膜の膜厚とその周囲の酸化シリコン膜の膜厚とが同じであって、これらの上面にゲート絶縁膜を設けているので、ゲート絶縁膜に段差部が生じないようにすることができ、したがってゲート絶縁膜の段差部に起因する不都合をすべて解消することができる。

【図面の簡単な説明】

【図1】この発明の一実施例における薄膜トランジスタの製造に際し、絶縁基板の上面に下地層およびアモルファスシリコン膜を形成した状態の断面図。

【図2】同薄膜トランジスタの製造に際し、デバイスエリア以外のアモルファスシリコン膜に酸素イオンを注入して酸素イオン注入膜とした状態の断面図。

【図3】同薄膜トランジスタの製造に際し、レーザアニールにより、アモルファスシリコン膜を結晶化させてポリシリコン膜とするとともに、酸素イオン注入膜を酸化させて酸化シリコン膜とした状態の断面図。

【図4】同薄膜トランジスタの製造に際し、不純物を低濃度で注入した状態の断面図。

【図5】同薄膜トランジスタの製造に際し、不純物を高濃度で注入した状態の断面図。

【図6】同薄膜トランジスタの製造に際し、ゲート絶縁膜およびゲート電極を形成した状態の断面図。

【図7】同薄膜トランジスタの製造に際し、層間絶縁膜、コンタクトホールおよびソース・ドレイン電極を形成した状態の断面図。

【図8】(A)〜(E)はそれぞれこの発明の他の実施例における薄膜トランジスタの各製造工程を示す断面

(4)

特開平6-338614

5

6

図。

【図9】従来の薄膜トランジスタの一例の断面図。

【符号の説明】

13 アモルファスシリコン膜

13a 酸素イオン注入膜

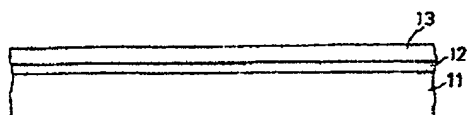
14 デバイスエリア

16 ポリシリコン膜

17 酸化シリコン膜

20 ゲート絶縁膜

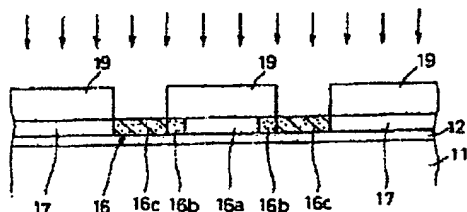
【図1】



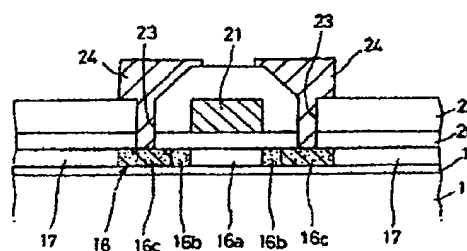
【図3】



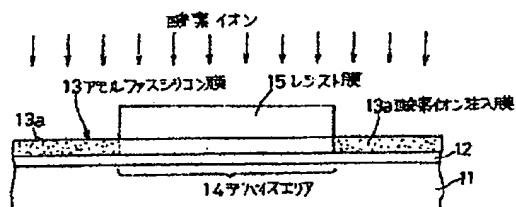
【図5】



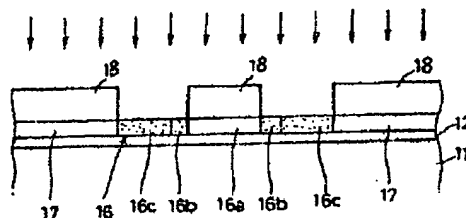
【図7】



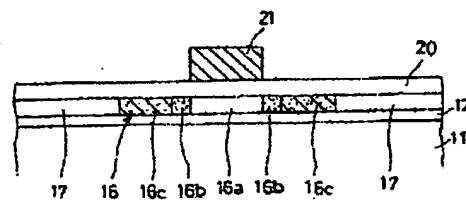
【図2】



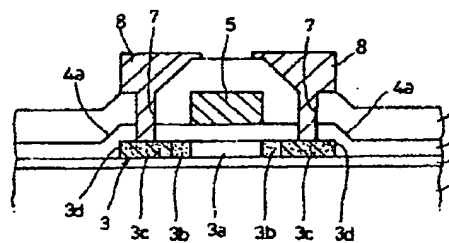
【図4】



【図6】



【図9】



(5)

特開平6-338614

【図8】

